

전기전자

EMIB-T 동향 및 패키지부품 공급망 점검

김연미

전기전자 | ym.kim@daolfn.com

● 대면적 AI 패키지 확대 → EMIB-T 채택 유인 증가

27년 이후 GPU와 AI 가속기의 패키지 대면적화가 본격화되며 EMIB-T가 CoWoS-L 패키징의 대안으로 부각될 전망. CoWoS는 대면적화될수록 Warpage(휨 현상) 제어와 공정 복잡도가 증가. 차세대 패키징 방식인 CoPoS가 이를 보완할 수 있으나, 본격 양산 시점은 28년 하반기 이후로 예상. CoPoS 상용화 이전 대면적 패키징 수요에 대응할 현실적인 대안으로 EMIB-T의 중요도가 높아질 것으로 전망

● 대면적화될수록 EMIB-T의 구조적 원가 우위 확대

EMIB는 대면적 실리콘 인터포저 대신 필요한 구간에만 실리콘 브릿지를 사용하는 구조로, 패키지가 커질수록 CoWoS-L 대비 상대적인 원가 우위 확대. Intel은 26년 8배 이상 Reticle, 28년 12배 이상으로 EMIB 적용 면적을 확대할 계획이며, 28년에는 16개 이상의 HBM4/HBM5를 지원할 계획. 공급망에 따르면 EMIB-T 패키징 비용이 CoWoS-L 공정 대비 약 50% 낮은 비용 경쟁력을 확보했다는 관측 제기

기존 EMIB 채택 유인이 CoWoS Capa 부족에 따른 대체 공급원 확보였다면, 최근에는 대면적 패키지에서의 원가 및 확장성이 주요 채택 요인으로 부각. Mediatek이 설계하는 Google TPUv8e(코드명 Humufish)에 EMIB-T 적용이 확정됐으며, 2H27 양산 예상. 약 9.5x Reticle 규모의 초대형 패키지로 설계될 것으로 추정. Humufish를 통해 대면적 양산성이 검증될 경우 Amazon, Meta 등 타 ASIC으로의 적용 확대 가능성도 높아질 것으로 판단. 주요 GPU 업체 역시 28년 차세대 아키텍처에서 일부 물량의 EMIB 적용을 검토 중인 것으로 파악, 고객 저변이 ASIC을 넘어 GPU로 확장될 가능성

● EMIB-T 수율의 핵심 변수는 기판 (FC-BGA)

현재 EMIB-T 양산의 핵심 제약은 대면적 기판 수율. EMIB 기판 공급사인 유니마이크론에 따르면 EMIB-T 기판의 수율 확보가 주요 과제이며, 공급사들의 1차 목표 수율은 50%로 설정. Humufish가 2H27 양산에 진입하기 위해서는 4Q26~1Q27 공급사별 수율 개선 여부가 중요할 전망

● 투자전략

EMIB 확산에 따른 패키징 부품 수혜 영역은 ① FC-BGA 기판, ② 실리콘 커패시터. 현재 EMIB용 FC-BGA 공급사는 Ibiden, Shinko, Unimicron, AT&S 4개사로 제한적인 가운데, 국내 기판업체의 신규 벤더 진입 가능성에 주목. 동시에 AI 패키지의 대면적·고전력화와 EMIB-T의 VPD(=Vertical Power Delivery) 적용으로 실리콘 커패시터 채용도 증가할 것으로 예상. 관련 밸류체인 내 LG이노텍과 삼성전기를 중장기 수혜 종목으로 제시 (본문 후술)

밸류체인 수혜 ① FC-BGA (기판)

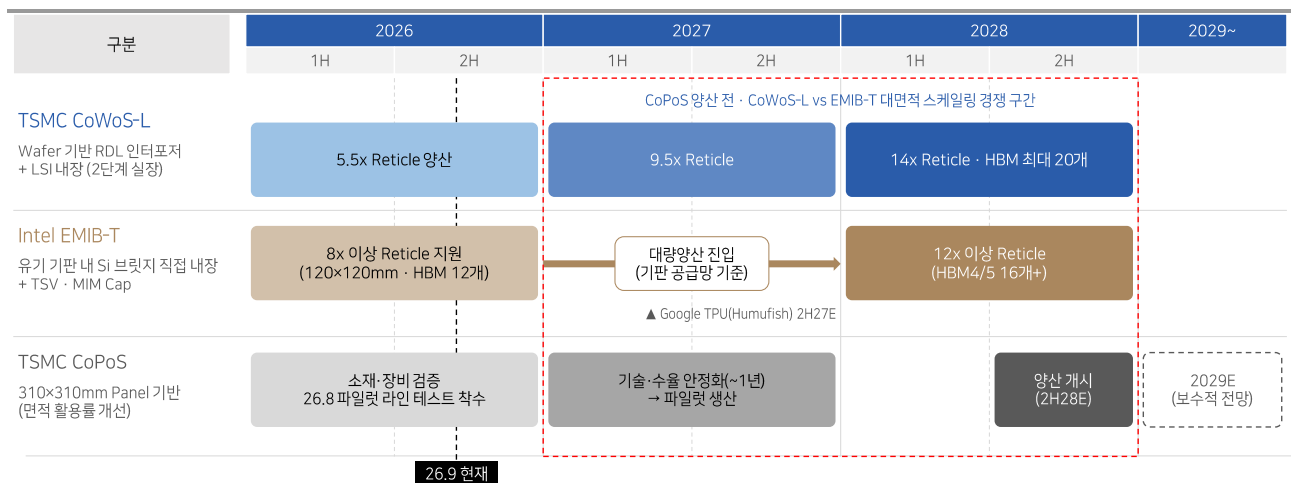
EMIB-T 확산 과정에서 가장 직접적인 병목은 대면적 FC-BGA 기판의 수율 확보다. EMIB는 실리콘 인터포저를 제거하는 대신, 기판 내부의 여러 Cavity에 실리콘 브릿지를 정밀하게 삽입하는 공정을 요구한다. 즉 패키징 구조를 단순화하는 과정에서 공정 복잡도의 상당 부분이 기판 제조 단계로 이동하는 구조다.

EMIB-T 기판의 수율 확보가 어려운 핵심 이유는 패키지 대면적화와 함께 내장해야 하는 실리콘 브릿지 수가 빠르게 증가하기 때문이다. Intel 로드맵상 EMIB Bridge는 26년 20개 이상에서 28년 38개 이상으로 확대될 예정이다. 개별 Bridge의 가공·삽입 수율이 높더라도 Bridge 수가 늘어날수록 전체 기판의 누적 수율 부담은 커진다. 단순히 Bridge당 성공률을 99%로 가정하면 20개가 모두 정상일 확률은 약 82%, 38개는 약 68%까지 낮아진다. 실제 수율은 개별 불량률의 상관관계와 공정 조건에 따라 달라지지만, 대면적화 → Bridge 증가 → 기판 수율 난도 상승의 방향성을 보여준다. 여기에 패키지 면적 및 Layer 증가에 따른 Warpage와 미세 배선 정합 난도까지 더해진다.

대면적·고다층 기판 내 실리콘 브릿지를 내장해야 하는 구조 특성상 신규 벤더의 진입장벽도 높은 편이다. EMIB-T 채택 확대 시 기존 공급사의 Capa 증설뿐 아니라 신규 공급사 확보 필요성도 높아질 전망이다. 국내 업체들도 공급망 진입을 추진 중이다. LG이노텍은 HBM 실장 샘플 테스트를 진행하고 있으며, 28년 서버 CPU용 FC-BGA 양산을 목표로 개발 중이다. 향후 국내 기판업체의 신규 EMIB 공급망 진입 가능성이 열릴 수 있다는 점에 주목한다.

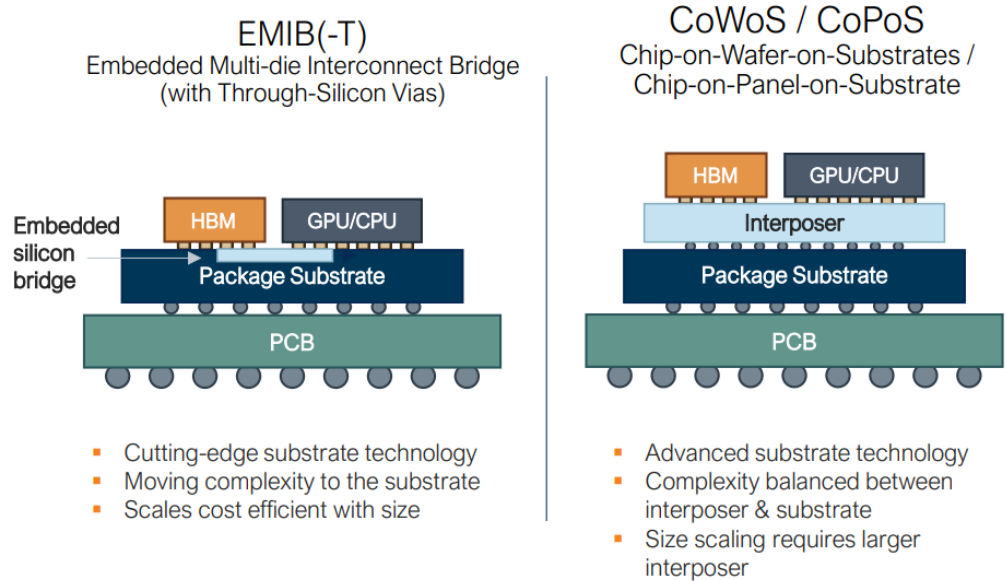
기판 공급사 입장에서는 초기 낮은 수율에 따른 수익성 부담도 제한적일 전망이다. Unimicron은 EMIB-T 기판의 1차 목표 수율을 약 50%로 제시하는 한편, 고객사의 Commercial Protection을 통해 수율 50% 이하의 램프업 구간에서도 합리적인 수준의 수익성을 확보 가능하다고 설명했다. 이후 수율이 50%를 상회할 경우 동일 설비에서의 양품 생산량 증가가 추가 Capa와 수익성 개선으로 연결될 수 있다.

Fig. 1: 대면적 AI 패키징 로드맵



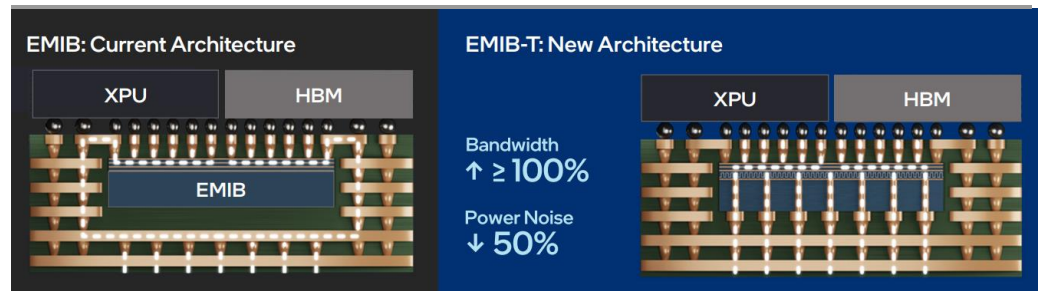
Source: 각 사, 다올투자증권 추정

Fig. 2: Intel EMIB와 TSMC CoWoS 구조 비교



Source: 인텔, 다올투자증권

Fig. 3: EMIB와 EMIB-T 구조 비교



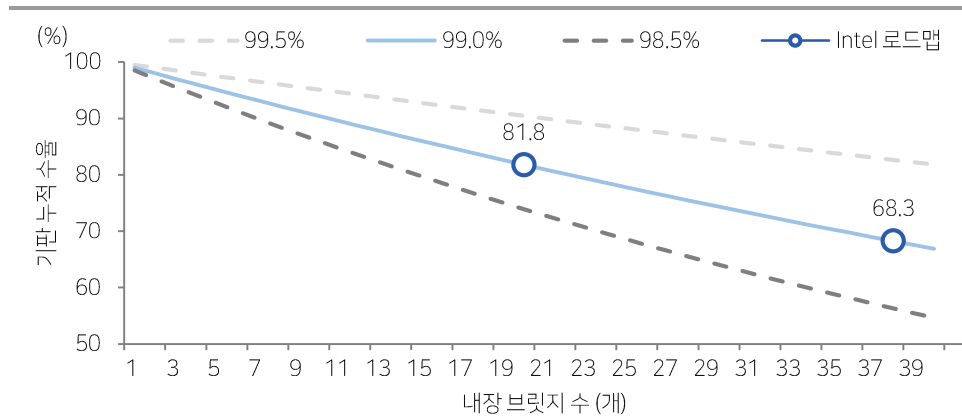
Source: 인텔, 다올투자증권

Fig. 4: Intel 제품별 패키징 적용 현황

구분	대표 제품	패키징
PC CPU	Meteor Lake	Foveros
	Lunar Lake	Foveros + Memory on Package
	Arrow Lake	Foveros
	Panther Lake	Foveros 계열
서버 CPU	Sapphire / Emerald Rapids	EMIB
	Granite Rapids	EMIB
	Sierra Forest	EMIB
	Clearwater Forest	EMIB 3.5D (Foveros Direct 3D + EMIB)
ASIC (빅테크 물량)	Google TPUv8e (=v9)	EMIB-T

Source: 인텔, 다올투자증권

Fig. 5: 실리콘 브릿지 수 증가에 따른 기판 수율 변화 추정



Source: 다올투자증권 추정

Fig. 6: Google TPU 세대별 주요 사양 및 패키징 현황

세대	구분	코드명	주요 용도	양산 시점	설계 (팍리스)	패키징 (파운드리)	패키지/다이 구성		실리콘 면적	기판 면적 (FC-BGA)
							Compute Die	I/O Die		
V6	TPU v6e	Trillium	학습 / 파인튜닝 / 추론	4Q24	Broadcom	TSMC (CoWoS)	단일 다이		-	-
V7	TPU v7p	Ironwood	대규모 학습 / 추론 / reasoning	4Q25	Broadcom	TSMC (CoWoS)	2	1	약 3.3x Reticle (약 2,830 mm ²)	-
V7	TPU v7e	-	추론	1Q26	MediaTek	TSMC (CoWoS)	-	-	-	약 4,900mm ² 추정
V8	TPU v8t	Sunfish	Training / 대규모 pre-training	2H26	MediaTek	TSMC (CoWoS)	2	1	-	약 7,225mm ² 추정
V8	TPU v8i	Zebrafish	추론	2H26	Broadcom	TSMC (CoWoS)	1	1	-	-
V9	TPU v9 (=v8e)	Humufish	Training / 대규모 pre-training	2H27	MediaTek	Intel (EMIB-T)	4	4	약 9.5x reticle (약 8,100mm ²)	약 13,700mm ² 추정

Source: Google, 언론종합, 다올투자증권 추정

Fig. 7: EMIB-T 밸류체인 주요 업체 코멘트

기업	주요 코멘트
Intel	- EMIB-T에 대한 고객 관심 및 Backlog 확대 중 - EMIB-T의 Yield와 Reliability는 기존 목표 수준 달성, 다음 단계는 HVM(High-volume Manufacturing) 전환 - 27년 고객 제품 양산 지원 목표. 현재 약 8x Reticle에서 28년 12x+ Reticle까지 확장 계획
MediaTek	- Data Center ASIC에 CoWoS와 EMIB-T를 병행 활용할 계획 - 어드밴스드 패키징 업체와 협력해 기판 수율, Capa, 사이클 타임 직접 관리 - EMIB-T 기술 성숙도 및 수율 개선에 대해 긍정적 입장
Ibiden	- AI/HPC 패키지 대면적화로 기판 수율 확보 난도 상승 - 고객사 선급금을 기반으로 고성능 IC Substrate Capa 증설 진행. 27년 AI ASIC용 신규 라인 양산 예정
Unimicron	- EMIB-T 기판 27년 양산 목표, 초기 목표 수율은 약 50% 수준 - 고객사의 Commercial Protection을 통해 수율 50% 이하 Ramp-up 구간에서도 합리적인 이익 확보 가능 - 수율 50% 상회 이후에는 동일 설비 내 양품 증가가 추가 Capa 및 수익성 개선으로 연결
AT&S	- EMIB-T는 패키징 복잡도가 Substrate로 이동하는 구조 - 대면적화 시 CoWoS 대비 상대적으로 비용효율적인 Scaling 가능 - AI/HPC용 High-end IC Substrate 수요 대응을 위한 대규모 Capa 증설 진행

Source: 각 사, 다올투자증권

밸류체인 수혜 ② 실리콘 커패시터

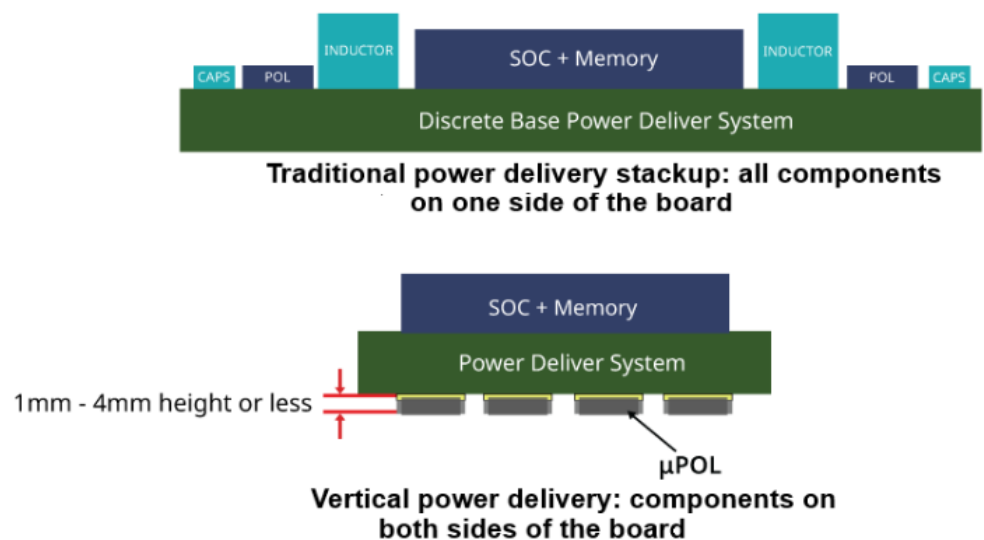
EMIB-T의 또 다른 특징은 Vertical Power Delivery(VPD, 수직 전력공급) 구조를 통한 전력 공급 효율 개선이다. AI 가속기의 연산 성능과 HBM 탑재량이 증가할수록 패키지 내 순간 전류 요구량이 커지고, 전원 배선에서 발생하는 전압 강하와 노이즈를 안정적으로 제어하는 것이 중요해진다. 특히 전력 공급 경로가 짧아지고 Die 인근으로 이동할수록 고주파 영역의 전압 변동을 빠르게 보정할 수 있는 디커플링 커패시터가 중요하다.

EMIB-T는 TSV를 활용해 전력을 실리콘 브릿지를 통과시켜 Die에 보다 직접적으로 공급하는 VPD 구조를 적용한다. 다만 전력 경로를 짧게 만드는 것만으로는 순간적인 전류 변화에 따른 전압 강하와 고주파 노이즈를 제거할 수 없다. 이에 따라 전력을 소비하는 Die와 최대한 가까운 위치에 높은 정전용량을 확보하는 것이 중요하며, 얇은 두께에서 높은 Capacitance Density와 낮은 ESL·ESR을 구현할 수 있는 실리콘 커패시터의 활용도가 높아질 수 있다.

실제로 Intel은 EMIB-T 내 TSV와 고전력 MIM Capacitor를 결합해 Power Delivery Network의 안정성을 높이는 구조를 제시하고 있다. 공급망에 따르면 27년 이후 EMIB-T 기반 내 실리콘 커패시터 채용도 가시화된 상황이다. 향후 패키지 면적과 전력 밀도가 동시에 상승할수록 VPD와 근접 Decoupling을 함께 구현하기 위한 실리콘 커패시터의 역할이 확대될 가능성이 높다.

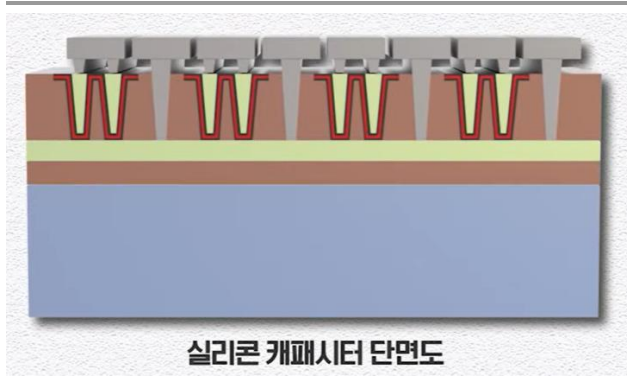
삼성전기는 AI 패키지 내 Si-cap 채용 확대의 수혜가 기대된다. 27~28년 글로벌 반도체 업체당 약 1.6조원 규모의 공급계약을 이미 확보해 사업 초기부터 대규모 매출 가시성을 확보했다. 특히 삼성전기는 글로벌 Top-tier FC-BGA 사업자로서의 패키지 기반 설계·공정 역량과 MLCC를 통해 축적한 초미세 수동부품 기술력을 동시에 보유하고 있어, Si-cap의 패키지 내 적용이 고도화될수록 차별화된 경쟁력이 부각될 전망이다. 향후 Si-cap 적용이 차세대 AI 패키지 전반으로 확산될 경우 기존 수주 이상의 추가 고객 확보 및 Contents 증가 가능성에 주목한다.

Fig. 8: 기존 수평 전력공급(LPD) vs 수직 전력공급(VPD) 구조 비교



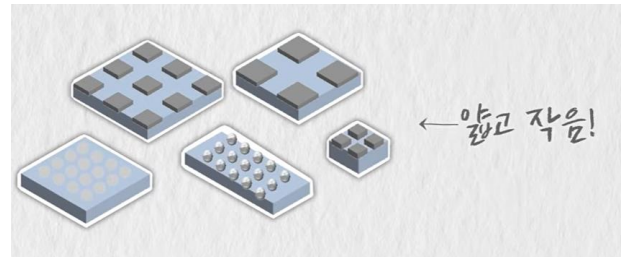
Source: TDK, 다올투자증권

Fig. 9: 실리콘캐패시터 단면도



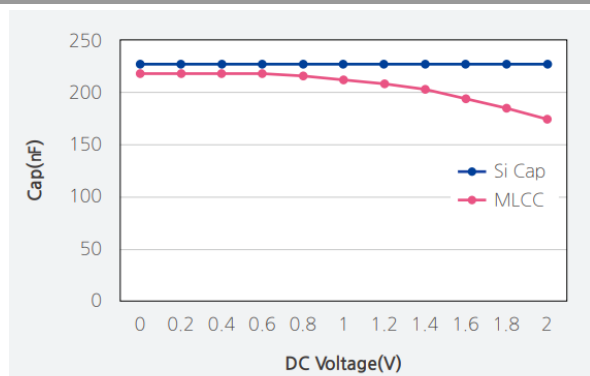
Source: 삼성전기, 다올투자증권

Fig. 10: 실리콘캐패시터는 MLCC 대비 얇고 작은 특성



Source: 삼성전기, 다올투자증권

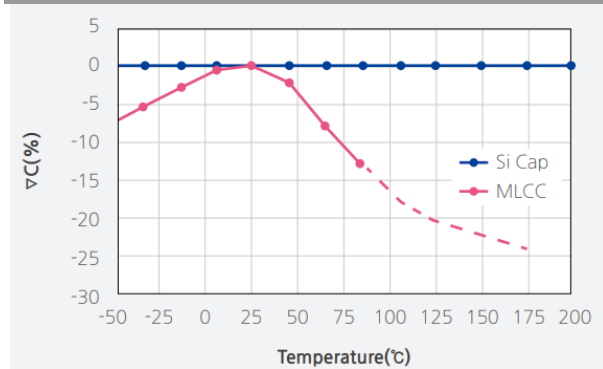
Fig. 11: DC 전압 인가 시 Si Cap vs. MLCC 안정성 비교



Si-Cap 유전체 재료 특성상 DC에 따른 Cap 값 감소 없음

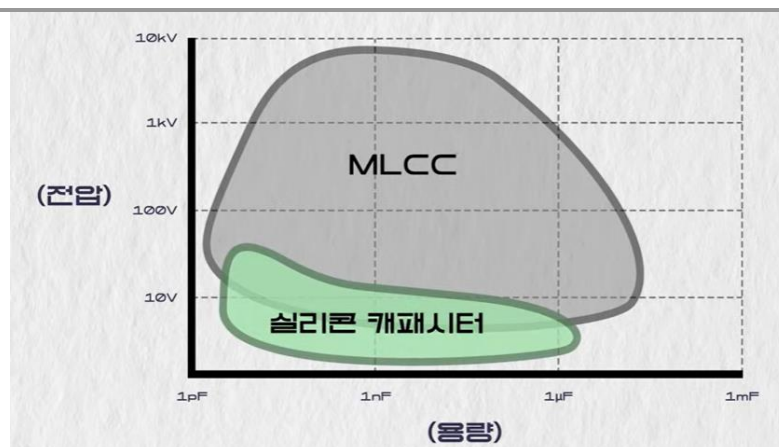
Source: 삼성전기, 다올투자증권

Fig. 12: 온도 변화 시 Si Cap vs. MLCC 용량 변화율 비교

MLCC 대비 TCC에 따른 용량 변화 거의 없음
*TCC(Temperature Coefficient of Capacitance)

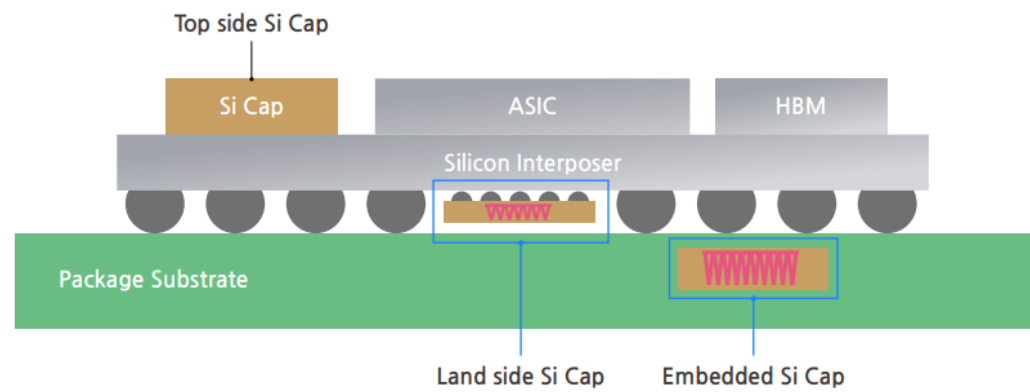
Source: 삼성전기, 다올투자증권

Fig. 13: 전압·용량별 Si Cap과 MLCC 적용 범위



Source: 삼성전기, 다올투자증권

Fig. 14: 실리콘캐패시터 실장 방식 3가지



Source: 삼성전자, 다올투자증권

Compliance Notice

당사는 본 자료를 기관투자자 등 제 3자에게 사전 제공한 사실이 없습니다. 당사는 본 자료 발간일 현재 해당 기업의 인수·합병의 주선 업무를 수행하고 있지 않습니다. 당사는 자료작성일 현재 본 자료에서 추천한 종목의 지분을 1% 이상 보유하고 있지 않습니다. 당사는 본 자료 발간일 현재 해당 기업의 계열사가 아닙니다. 당사는 동 종목에 대해 자료작성일 기준 유가증권 발행(DR, CB, IPO, 시장조성 등)과 관련하여 지난 12개월간 주간사로 참여하지 않았습니다. 당사는 상기 명시한 사항 외에 고지해야 하는 특별한 이해관계가 없습니다. 본 자료를 작성한 애널리스트 및 그 배우자는 발간일 현재 해당 기업의 주식 및 주식 관련 파생상품 등을 보유하고 있지 않습니다. 본 자료의 조사분석담당자는 어떠한 외부 압력이나 간섭 없이 본인의 의견을 정확하게 반영하여 작성하였습니다. 본 자료는 '나눔스퀘어'와 '아리따 글꼴'을 사용하여 작성하였습니다.

투자등급 비율

BUY : 93.5%	HOLD : 6.5%	SELL : 0.0%
-------------	-------------	-------------

투자등급 관련사항

아래 종목투자 의견은 향후 12개월간 추천기준일 증가대비 추천종목의 예상 기대수익률을 의미

- BUY: 추천기준일 증가대비 +15% 이상.
- HOLD: 추천기준일 증가대비 -15% 이상 ~ +15% 미만.
- SELL: 추천기준일 증가대비 -15% 미만.

투자 의견이 시장 상황에 따라 투자등급 기준과 일시적으로 다를 수 있음

동 조사분석자료에서 제시된 업종 투자 의견은 시장 대비 업종의 초과수익률 수준에 근거한 것으로, 개별 종목에 대한 투자 의견과 다를 수 있음

· Overweight: 해당 업종 수익률이 향후 12개월 동안 KOSPI 수익률을 상회할 것으로 예상하는 경우

· Neutral: 해당 업종 수익률이 향후 12개월 동안 KOSPI 수익률과 유사할 것으로 예상하는 경우

· Underweight: 해당 업종 수익률이 향후 12개월 동안 KOSPI 수익률을 하회할 것으로 예상 경우

주) 업종 수익률은 위험을 감안한 수치